

# 74HC573

## 八进制 3 态非反转透明锁存器

### 74HC573

#### 高性能硅门 CMOS 器件

SL74HC573 跟 LS/AL573 的管脚一样。器件的输入是和标准 CMOS 输出兼容的；加上拉电阻，他们能和 LS/ALSTTL 输出兼容。

当锁存使能端为高时，这些器件的锁存对于数据是透明的（也就是说输出同步）。当锁存使能变低时，符合建立时间和保持时间的数据会被锁存。

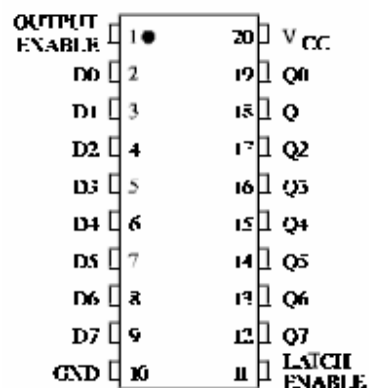
× 输出能直接接到 CMOS, NMOS 和 TTL 接口上

× 操作电压范围：2.0V~6.0V

× 低输入电流：1.0uA

× CMOS 器件的高噪声抵抗特性

#### 管腿安排：



#### 功能表：

输入		输出	
输出使能	锁存使能	D	Q
L	H	H	H
L	H	L	L
L	L	X	不变
H	X	X	Z

X=不用关心

Z=高阻抗

## 74HC573

### 最大值范围:

符号	参数	值	单位
$V_{CC}$	DC 供电电压 (参考 GND)	-0.5~+7.0	V
$V_{IN}$	DC 输入电压 (参考 GND)	-1.5~ $V_{CC}+1.5$	V
$V_{OUT}$	DC 输出电压 (参考 GND)	-0.5~ $V_{CC}+0.5$	V
$I_{IN}$	每一个 PIN 的 DC 输入电流	20	mA
$I_{OUT}$	每一个 PIN 的 DC 输出电流	35	mA
$I_{CC}$	DC 供电电流, $V_{CC}$ 和 GND 之间	75	mA
$P_D$	在自然环境下, PDIP 和 SOIC 封装下的功耗	750 500	mW
$T_{stg}$	存储温度	-65~+150	°C
$T_L$	引线温度, 10 秒 (PDIP, SOIC)	260	°C

\*最大值范围是指超过这个值, 将损害器件。

操作最好在下面的推荐操作条件下。

+ 额定功率的下降——PDIP:  $-10\text{mW}/^\circ\text{C}$ ,  $65^\circ\text{C} \sim 125^\circ\text{C}$

SOIC:  $-7\text{mW}/^\circ\text{C}$ ,  $65^\circ\text{C} \sim 125^\circ\text{C}$

### 推荐操作条件:

符号	参数	最小	最大	单位
$V_{CC}$	DC 供电电压 (参考 GND)	2.0	6.0	V
$V_{IN}, V_{OUT}$	DC 输入电压, 输出电压 (参考 GND)	0	$V_{CC}$	V
$T_A$	所有封装的操作温度	-55	+125	°C
$t_r, t_f$	输入上升和下降时间 $V_{CC}=2.0\text{V}$ $V_{CC}=4.5\text{V}$ $V_{CC}=6.0\text{V}$	0 0 0	1000 500 400	ns

这个器件带有保护电路, 以免被高的静态电压或电场损坏。然而, 对于高阻抗电路, 必须要采取预防以免工作在任何高于最大值范围的条件工作。 $V_{IN}$  和  $V_{OUT}$  应该被约束在  $GND \leq (V_{IN} \text{ 或 } V_{OUT}) \leq V_{CC}$ 。

不用的输入管腿必须连接总是连接到一个适合的逻辑电压电平 (也就是 GND 或者  $V_{CC}$ )。不用的输出管腿必须悬空。

### DC 电子特性 (电压是以 GND 为参考):

符号	参数	测试条件	$V_{CC}$ V	条件限制			单位
				25 °C ~ -55 °C	$\leq 85$ °C	$\leq 125$ °C	
$V_{IH}$	最小高	$V_{OUT}=0.1\text{V}$ 或者 $V_{CC}-$	2.0	1.5	1.5	1.5	V

## 74HC573

	电平输入电压	0.1V, $ I_{OUT}  \leq 20\mu A$	4.5 6.0	3.15 4.2	3.15 4.2	3.15 4.2	
$V_{IL}$	最大低电压输入电压	$V_{OUT}=0.1V$ 或者 $V_{CC}-0.1V$ , $ I_{OUT}  \leq 20\mu A$	2.0 4.5 6.0	0.5 1.35 1.8	0.5 1.35 1.8	0.5 1.35 1.8	V
$VOH$	最大高电平输出电压	$V_{IN}=V_{IH}$ 或者 $V_{IL}$ , $ I_{OUT}  \leq 20\mu A$	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		$V_{IN}=V_{IH}$ 或者 $V_{IL}$ , $ I_{OUT}  \leq 6.0mA$ $ I_{OUT}  \leq 7.8mA$	4.5 6.0	3.98 5.48	3.84 5.34	3.7 5.2	
$VOL$	最大低电平输出电压	$V_{IN}=V_{IH}$ 或者 $V_{IL}$ , $ I_{OUT}  \leq 20\mu A$	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		$V_{IN}=V_{IH}$ 或者 $V_{IL}$ , $ I_{OUT}  \leq 6.0mA$ $ I_{OUT}  \leq 7.8mA$	4.5 6.0	0.26 0.26	0.33 0.33	0.4 0.4	
$I_{IN}$	最大输入漏电流	$V_{IN}=V_{CC}$ 或者 GND	6.0	$\pm 0.1$	$\pm 0.1$	$\pm 0.1$	$\mu A$
$IOZ$	最大三态漏电流	高阻抗态下的输出 $V_{IN}=V_{IH}$ 或者 $V_{IL}$ , $V_{OUT}=V_{CC}$ 或者 GND	6.0	$\pm 0.5$	$\pm 5.0$	$\pm 10$	$\mu A$
$ICC$	最大静态供电电流	$V_{IN}=V_{CC}$ 或者 GND $I_{OUT}=0\mu A$	6.0	4.0	4.0	4.0	$\mu A$

AC 电子特性 ( $C_L=50pF$ , 输入  $t_r=t_f=6.0ns$ ) :

符号	参数	VCC V	条件限制			单位
			25°C ~ -55°C	$\leq 85$ °C	$\leq 125$ °C	
$t_{PLH}$ , $t_{PHL}$	输入 D 到 Q, 最大延迟 (图 1 和 5)	2.0	150	190	225	ns
		4.5	30	38	45	
		6.0	26	33	38	
$t_{PLH}$ , $t_{PHL}$	锁存使能到 Q 的最大延迟 (图 2 和图 5)	2.0	160	200	240	ns
		4.5	32	40	48	
		6.0	27	34	41	
$t_{PLZ}$ , $t_{PHZ}$	输出使能到 Q 的最大延迟 (图 3 和图 6)	2.0	150	190	225	ns
		4.5	30	48	45	
		6.0	26	33	38	

## 74HC573

t <sub>PZH</sub> , t <sub>PZL</sub>	输出使能到 Q 最大延迟 (图 3 和图 6)	2.0	150	190	225	ns
		4.5	30	48	45	
		6.0	26	33	38	
t <sub>TLH</sub> , t <sub>THL</sub>	任何输出的最大输出延迟 (图 1 和图 5)	2.0	60	75	90	ns
		4.5	12	15	18	
		6.0	10	13	15	
C <sub>IN</sub>	最大输入电容	—	10	10	10	pF
C <sub>OUT</sub>	最大三态输出电容 (在高阻态下的输出)	—	15	15	15	pF
C <sub>PD</sub>	功耗电容 (使能所有输出) 用于确定没有负载时的动态功耗: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$	典型在 25°C, V <sub>CC</sub> =5V 条件下				pF
		23				

时序要求 (C<sub>L</sub>=50pF, 输入 t<sub>r</sub>=t<sub>f</sub>=6.0 ns) :

符号	参数	VCC V	限制条件			单位
			25°C ~ - 55°C	≤85 °C	≤125 °C	
t <sub>SU</sub>	输入 D 到锁存使能最小建立时间 (图 4)	2.0	50	65	75	ns
		4.5	10	13	15	
		6.0	9	11	13	
t <sub>H</sub>	锁存使能到输入 D 最小保持时间 (图 4)	2.0	5	5	5	ns
		4.5	5	5	5	
		6.0	5	5	5	
t <sub>W</sub>	锁存使能的最小脉宽 (图 2)	2.0	75	95	110	ns
		4.5	15	19	22	
		6.0	13	16	19	
t <sub>r</sub> , t <sub>f</sub>	最大输入上升沿和下降沿时序 (图 1)	2.0	1000	1000	1000	ns
		4.5	500	500	500	
		6.0	400	400	400	

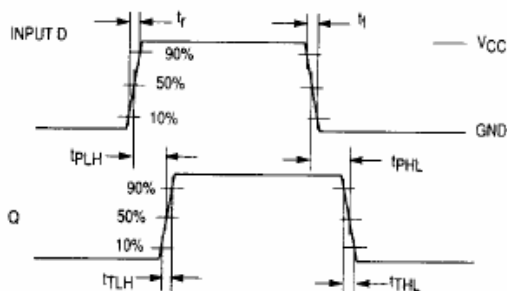


Figure 1. Switching Waveforms

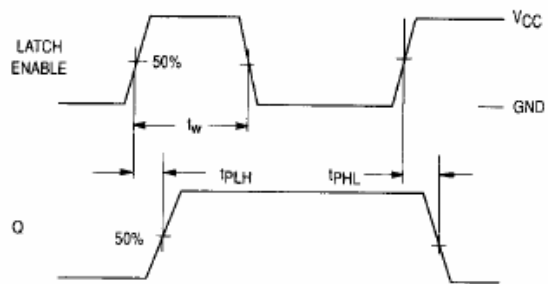


Figure 2. Switching Waveforms

## 74HC573

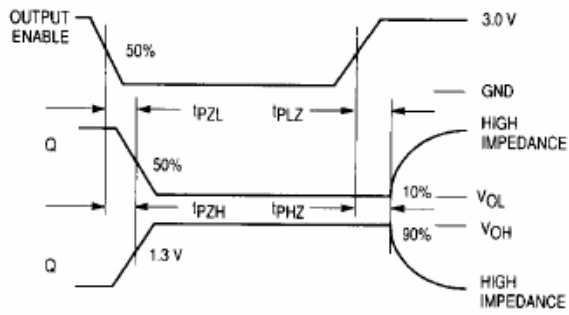


Figure 3. Switching Waveforms

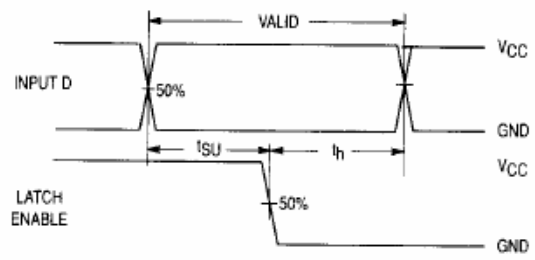
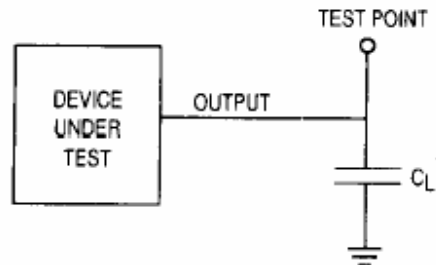
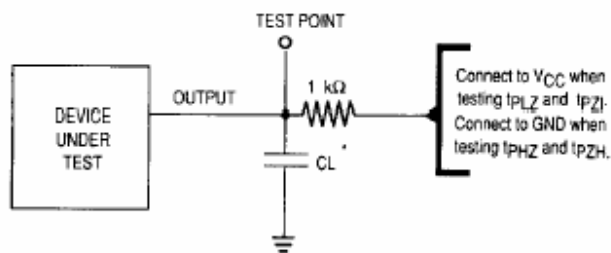


Figure 4. Switching Waveforms



\* Includes all probe and jig capacitance

Figure 5. Test Circuit



\* Includes all probe and jig capacitance

Figure 6. Test Circuit

逻辑图:

# 74HC573

